**硬件综合设计规范**

课程名称： （计算机组成原理 Computer Organization）

课程负责人：钟 将

课程分类： 专业基础 课程类型： 必修

适用专业： 计算机科学与技术(卓越)、物联网工程、信息安全

课程总学时：48 课程总学分：3.0

开课单位： 计算机学院

1. **教学目标和能力培养重点**

本课程教学目标是综合运用已学习的计算机组成原理知识，加深对计算机功能部件的组成原理，逻辑实现、设计方法及其相互衔接，组成一个有机整机的综合理解，重点培养学生自我学习、团队协作、综合运用、设计创新的能力。通过该课程的学习和训练，学生能够清楚地了解计算机是怎样对信息进行加工和处理。其培养的目标包含了问题发现、分析、研究和解决的能力，培养创新意识和组织协调能力等。

**1.对培养规格指标点的支撑**

（1）R3.1 问题意识及发现

（2）R3.2 问题分析及描述

（3）R3.3 问题研究

（4）R3.4 问题解决

（5）R3.5 创新意识

（6）R6.1团队组织协调能力

**2.支撑方案说明**

（从教学内容、教学方法、实践环节、考核方式等方面进行详细说明）

本课程围绕单处理机系统为研究对象，用过综合应用“计算机组成原理”、“数字逻辑”和“汇编语言”等与硬件相关课程的知识，设计一个能够支持较小规模指令集（MIPS32整数指令集的精简版）的处理器，基于该指令集编写满足特定应用需求的应用程序来验证处理器设计的正确性。对于部分优秀的同学，可以设计和实现五级流水线处理器，并通过硬件优化方式来提升五级流水线的性能。

问题意识及发现：针对CPU设计和实现的问题，能够分析单周期、多周期和流水线处理器设计和应用中可能存在各种问题，特别是影响性能的因素有哪些。

问题分析及描述：设计过程中能够分析影响CPU性能的原因，能够清晰描述和分析每个阶段参数的原因。

问题研究：针对CPU设计过程中各类问题，分析其根源，特别是流水线处理器中各种冒险问题的解决机制，并分析各种机制的优缺点。

问题解决：根据实现的难易程度、实验环境约束等选择最佳解决方案。

创新意识：能够主动收集互联网和数字图书馆中的资料，设计新设计方案、应用场景以及性能优化的方法。

团队组织协调能力：采用设计小组的方式开展工作，小组内部分工合理，每个成员之间具有良好的沟通协调机制。

上述能力和素质培养目标均通过学生提交的硬件综合设计报告、性能测试、现场检查情况给出综合的量化结果。

1. **分组要求及开展方式**
   1. 分组要求

两人一组，自由组合，要求使用《计算机组成原理》课程实验完成的单周期处理器、多周期CPU或者简单五级流水线CPU。

* 1. 开展方式

学生根据教师下达的**任务书**，分组完成任务分工和设计，利用课内课外的时间完成设计和调试工作。最后由教师检查完成结果，学生在三周内提交课程设计报告及相关设计成果。

1. **成果提交形式和格式要求**

本课程设计成果提交形式包括：课程设计报告、rtl代码、bit文件、仿真截图、上板照片等；格式要求参照《组成原理》实验源码提交规范。

1. **教学内容及知识综合性要**

（一）综合设计内容：

**1.卓工班的要求**

MIPS SOC CPU的设计与实现，需要实现支持MIPS32中整数指令的CPU。

* 1. **必选内容**

学生达到合格必做内容，将《组成原理》实验4实现的简易五级流水线CPU，由十条指令扩展为57条指令，并实现异常处理模块。

其中包括所有非浮点MIPS I指令(除去 LWL、LWR、SWL、SWR)以及MIPS 32中的ERET指令，有**14条算术运算指令、8条逻辑运算指令、6条移位指令、12条分支指令、4条数据移动指令、2条自陷指令、8条访存指令、3条特权指令，总计57条指令**。

* 1. **选做内容**

学生根据自身基本情况，在下列任务中**选择一至多个**内容进行实现。(不选择选做内容，根据完成情况，最高成绩为良好)

* + 1. **除法器优化。**课程设计给出**试商法**实现的除法运算器模块，执行完成需要36个周期。利用《计算机组成原理》课程教授的**快速除法算法**，实现快速除法模块，替代现有除法器模块，优化除法指令消耗周期数
    2. **流水线断流问题优化。**流水线断流集中于分支指令与访存延迟问题上，由于流水线在部分指令发生相关时，数据前推无法满足需要，导致流水线暂停，形成的断流问题。分析通路图，**优化数据前推路径**，减少流水线暂停的概率，达到性能优化的作用。
    3. **均衡各阶段组合逻辑延时。**各阶段组合逻辑部分完成功能复杂度有所不同，在译码、执行阶段的组合逻辑完成所需要的延时明显高于其他阶段，此时优化单一周期所需时间，尽可能使得功能复杂的阶段所实现的组合逻辑产生的延时降低，**优化单周期执行时间。**
    4. **关键路径优化。**由于CPU内部组合逻辑与IO直接连接，使得IO访问成为关键路径。优化IO时延能够有效减少关键路径的总时长，达到时钟频率的优化。同时需要考虑对IPC的影响，达到均衡优化的效果。
    5. **加入Cache与TLB。**使用高速缓存，加快CPU访问速度，并使用TLB加速地址转换，此时由于新部件需要，要引入新增指令，并且可考虑使用板载DRAM作为存储器。（**此项作为最复杂解决方案，实现Cache或TLB中一种即可获得优**）。

**2. 其它专业的要求**

**在MiniSys CPU基础上进行扩展，并选做以下的题目。**

**题目1、MiniSys CPU设计与应用**（根据完成情况，最高成绩为良好）

将已经提供了MiniSys系统源程序在FPGA仿真和测试后下载到开发板上，并利用简化的MIPS指令集架构上进行应用。利用FPGA芯片和设计软件实现一个简单的MIPS指令架构的CPU，其余的部件如RAM、时序等由现有的IP核来实现。学生在完成了一个模型机之后，能够将特定程序写入到FPGA开发板上能够正确运行。

**题目2、Ex-MiniSys设计与应用**（根据完成情况，最高成绩可为优秀）

将已经提供了MiniSys系统源程序在FPGA仿真和测试后下载到开发板上，并利用简化的MIPS指令集架构上进行应用。在MiniSys基础上添加浮点运算部件实现一个增强型的CPU，该CPU能够支持浮点运算功能。并编写一个包含浮点运算指令的程序，在模型机上运行。

**题目3、多周期MiniSys的设计与应用**（根据完成情况，最高成绩可为优秀）

将已经提供了MiniSys指令集编码基础上，实现一个多周期的数据通路，并将该通路在的Bit文件下载到FPGA开发板上，并利用MiniSys指令集上进行开发和应用。并编写一个包含浮点运算指令的程序，在模型机上运行。实现的汇编程序可以选择任务书中的任意一个程序。

**题目4、MiniSys处理器的流水线化设计与应用**（根据完成情况，最高成绩可为优秀）

将MiniSys处理器设计为五级流水线处理器，并运行汇编程序，并能够支持数据前推机制解决部分数据冒险问题。

**（二）教师讲授内容：**

* 课程设计内容解读
* 设计步骤、注意事项及其问题解答
* 其他要求

**（三）学生实践内容：**

**1.卓工班同学**

根据已有的五级流水线结构，依次分析不同类型指令在数据通路中的路径，并修改控制器及数据通路。完成一个类型指令即进行一次仿真，调试完毕后进行下一类型的实现。全部仿真结束后，接入总线及外设，仿真通过所有指令测试。

指令测试通过后，进行选做内容，最终运行benchmark，上板获取性能分数，重复调试，达到性能分数最优。

**2. 其它专业同学**

设计并实现选做的CPU，并完成下板来运行测试程序，验证CPU设计的正确性。

**（四）相关知识要求：**

* 数字逻辑基础
* 运算器、存储器、控制器原理
* 五级流水线阶段原理
* Verilog 基础语法及模块化调用方式
* Vivado 行为仿真调试方法

1. **参考资料**
   1. 参考文档
      1. 《计算机组成原理实验指导书》，重庆大学计算机学院编；
      2. 《SOC结构介绍》
      3. 《MIPS基准指令集手册》
      4. 《功能测试说明》
      5. 《性能测试说明》
   2. 参考书目
      1. 《计算机组成与设计-硬件软件接口》，David A.Patterson、John L.Hennessy编，康继昌、 樊晓桠等译，机械工业出版社，2012年1月出版；
      2. 《自己动手写CPU》，雷思磊著，电子工业出版社；
      3. 《数字设计和计算机体系结构》，David Money Harris，Sarah L.Harris，机械工业出版社；
      4. 《计算机系统综合课程设计》，杨全胜主编，清华大学出版社；
      5. 《MIPS体系结构透视》，Dominic Sweetman,机械工业出版社；
      6. 《计算机原理与设计：Verilog HDL版》，李亚民，清华大学出版社；
2. **考核方式**
   * 现场添加指令方式
   * 考核采取性能分数排序制。记录最后完成的CPU性能分数进行排序，根据比例选取优秀、良好、中等。
   * 小组随机抽取一人回答指令路径问题，无法回答者成绩由原成绩降一等。如小组性能排序成绩为优，则降为良。
   * 课程设计报告不满足要求者，原成绩降一等。
   * 仅实现必选部分者，最高成绩为良。
   * 实现TLB或Cache者，成绩为优。

**重庆大学课程设计报告**

课程设计题目：

学 院：

专业班级：

年 级：

姓 名：

学 号：

完成时间： 年 月 日

成 绩：

指导教师：

重庆大学教务处制

综合设计指导教师评定成绩表

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 项目 | 分值 | 优秀  (100>x≥90) | 良好  (90>x≥80) | 中等  (80>x≥70) | 及格  (70>x≥60) | 不及格(x<60) | 评分 |
| 参考标准 | 参考标准 | 参考标准 | 参考标准 | 参考标准 |
| 学习态度 | 15 | 学习态度认真，科学作风严谨，严格保证设计时间并按任务书中规定的进度开展各项工作 | 学习态度比较认真，科学作风良好，能按期圆满完成任务书规定的任务 | 学习态度尚好，遵守组织纪律，基本保证设计时间，按期完成各项工作 | 学习态度尚可，能遵守组织纪律，能按期完成任务 | 学习马虎，纪律涣散，工作作风不严谨,不能保证设计时间和进度 |  |
| 技术水平与实际能力 | 25 | 设计合理、理论分析与计算正确，实验数据准确，有很强的实际动手能力、经济分析能力和计算机应用能力，文献查阅能力强、引用合理、调查调研非常合理、可信 | 设计合理、理论分析与计算正确，实验数据比较准确，有较强的实际动手能力、经济分析能力和计算机应用能力，文献引用、调查调研比较合理、可信 | 设计合理，理论分析与计算基本正确，实验数据比较准确，有一定的实际动手能力，主要文献引用、调查调研比较可信 | 设计基本合理，理论分析与计算无大错，实验数据无大错 | 设计不合理，理论分析与计算有原则错误，实验数据不可靠，实际动手能力差，文献引用、调查调研有较大的问题 |  |
| 创新 | 10 | 有重大改进或独特见解，有一定实用价值 | 有较大改进或新颖的见解，实用性尚可 | 有一定改进或新的见解 | 有一定见解 | 观念陈旧 |  |
| 论文(计算书、图纸)撰写质量 | 50 | 结构严谨，逻辑性强，层次清晰，语言准确，文字流畅，完全符合规范化要求，书写工整或用计算机打印成文；图纸非常工整、清晰 | 结构合理，符合逻辑，文章层次分明，语言准确，文字流畅，符合规范化要求，书写工整或用计算机打印成文；图纸工整、清晰 | 结构合理，层次较为分明，文理通顺，基本达到规范化要求，书写比较工整；图纸比较工整、清晰 | 结构基本合理，逻辑基本清楚，文字尚通顺，勉强达到规范化要求；图纸比较工整 | 内容空泛，结构混乱，文字表达不清，错别字较多，达不到规范化要求；图纸不工整或不清晰 |  |

指导教师评定成绩：

指导教师签名： 年 月 日

重庆大学本科学生课程设计任务书（一）

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 课程设计题目 | | MiniSys CPU设计与应用 | | | | | |
| 学院 | 计算机学院 | | 专业 | |  | 年级 |  |
| 任务描述：(选择此题目课程设计的最高成绩为良好)   1. Xilinx FPGA的开发软件Vivado系统中实现一个MiniSys CPU 2. 将MiniSys CPU的Bit文件下载的N4开发板中 3. 利用MiniSys指令集设计汇编，设计并完成以下三个汇编程序之一的功能 4. 节日彩灯   按如下要求设计一个有16个发光二极管的彩灯程序。能够循环执行每隔大约半秒变换一次（用循环来获得大约半秒延迟）每次灯的变换如下，1表示亮，0表示灭灯。灯亮的顺序是，从两边向中间依次点亮，再从中间向两边依次熄灭。   1. 原码一位乘   以原码一位乘为基础，设计一个两个数乘法程序。不断从拨码开关中读入数据，其中SW3-SW0为乘数，SW15~SW12为被乘数，乘法结果输出到LD7~LD0。要求程序中必须出现SRL,SLL指令。   1. 多功能计算   程序内部有一变量VAL=4，LED始终输出VAL的低16位值。SW15/SW14/13为功能选择，含义如下表。     1. 撰写设计报告 | | | | | | | |
| 设计要求：  课程设计报告要求至少应包含以下部分：   1. MINISYS系统原理，包含指令系统、数据通路   2）功能实现方案，包含控制器设计、输入输出接口等  3）应用程序的详细设计，包括：程序流程图等  4）测试结果  5）结论  6）参考文献 | | | | | | | |
| 参考资料： | | | | | | | |
| 任务下达日期 年 月 日 | | | | 完成日期 年 月 日 | | | |

说明：学院、专业、年级均填全称，如：计算机学院、计算机科学与技术、2010。

重庆大学本科学生课程设计任务书（二）

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 课程设计题目 | | Ex-MINISYS设计与应用 | | | | | |
| 学院 | 计算机学院 | | 专业 | |  | 年级 |  |
| 任务描述：(选择此题目课程设计最高成绩可为优秀)   1. Xilinx FPGA的开发软件Vivado系统中实现一个MiniSys CPU 2. 将MiniSys CPU的Bit文件下载的N4开发板中，完成基本的设计任务 3. 在MiniSys CPU基础上扩充数据通路支持浮点运算指令 4. 利用Mars等仿真系统对汇编程序进编译，并转换为COV文件加载到数据通路的指令存储器中。汇编程序实现以下功能：   从拨码开关中读入数据，其中SW5-SW0为操作数X，SW10~SW6操作数Y，X,Y均为无符号的整数。SW15-SW13位运算的控制位，其运算功能见下表，运算的结果输出到七段数码管上。     1. 观察并记录测试的结果 2. 撰写设计报告 | | | | | | | |
| 设计要求：  课程设计报告要求至少应包含以下部分：   1. EX-MINISYS系统原理，包含指令系统、数据通路   2）功能实现方案，包含控制器设计、输入输出接口等  3）应用程序的详细设计，包括：程序流程图等  4）测试结果  5）结论  6）参考文献 | | | | | | | |
| 参考资料： | | | | | | | |
| 任务下达日期 年 月 日 | | | | 完成日期 年 月 日 | | | |

说明：学院、专业、年级均填全称，如：计算机学院、计算机科学与技术、2010。

重庆大学本科学生课程设计任务书（三）

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 课程设计题目 | | 多周期MINISYS设计与应用 | | | | | |
| 学院 | 计算机学院 | | 专业 | |  | 年级 |  |
| 任务描述：(选择此题目的最高成绩可为优秀)   1. 将已经提供了MiniSys指令集编码基础上，实现一个多周期的数据通路，并将该通路在的Bit文件下载到FPGA开发板上. 2. 并利用MiniSys指令集上进行应用。 3. 利用Mars等仿真系统对汇编程序进编译，并转换为COV文件加载到数据通路的指令存储器中。汇编程序实现以下任意一个功能：   a) 节日彩灯  按如下要求设计一个有16个发光二极管的彩灯程序。能够循环执行每隔大约半秒变换一次（用循环来获得大约半秒延迟）每次灯的变换如下，1表示亮，0表示灭灯。灯亮的顺序是，从两边向中间依次点亮，再从中间向两边依次熄灭。  b) 原码一位乘  以原码一位乘为基础，设计一个两个数乘法程序。不断从拨码开关中读入数据，其中SW3-SW0为乘数，SW15~SW12为被乘数，乘法结果输出到LD7~LD0。要求程序中必须出现SRL,SLL指令。  c) 多功能计算  程序内部有一变量VAL=4，LED始终输出VAL的低16位值。SW15/SW14/13为功能选择，含义如下表。     1. 观察并记录测试的结果 2. 撰写设计报告 | | | | | | | |
| 设计要求：  课程设计报告要求至少应包含以下部分：   1. 多周期MINISYS系统的数据通路的原理图，包含指令系统、数据通路   2）功能实现方案，包含控制器设计、输入输出接口等  3）应用程序的详细设计，包括：程序流程图等  4）测试结果  5）结论  6）参考文献 | | | | | | | |
| 参考资料： | | | | | | | |
| 任务下达日期 年 月 日 | | | | 完成日期 年 月 日 | | | |

说明：学院、专业、年级均填全称，如：计算机学院、计算机科学与技术、2010。

重庆大学本科学生课程设计任务书（四）

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 课程设计题目 | | **单周期CPU设计与实现** | | | | | |
| 学院 | 计算机学院 | | 专业 | |  | 年级 |  |
| 任务描述：  根据教材内容，在理解MIPS指令集编码以及指令格式基础上，实现一个简化版的具有10条基本指令的单周期MIPS，利用Vivado在Xilinx N4板实现。  基本要求如下：  1、实现指令：add、sub、and、or、lw、sw、beq、bne、j、nop。  2、顶层视图为教材图4-24。  3、自拟涉及指令的应用程序（汇编程序最好具有一定意义），要求在N4板上运行。  4、应该具有一定的调试功能。  5、考虑增加其它指令如：lui、jr、jal、sll、srl、addi、andi、ori、xori等。 | | | | | | | |
| 设计要求：  课程设计报告要求至少应包含以下部分：  1、指令编码、指令格式、数据通路原理图  2、功能实现方案，主要关键部件如ALU、控制器、寄存器堆设计等  3、应用程序的详细设计，包括：程序流程图等  4、测试结果以及结论  5、每人写一段心得或建议等  6、参考文献 | | | | | | | |
| 参考资料： | | | | | | | |
| 任务下达日期 年 月 日 | | | | 完成日期 年 月 日 | | | |

说明：学院、专业、年级均填全称，如：计算机学院、计算机科学与技术、2010。

重庆大学本科学生课程设计任务书（五）

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 课程设计题目 | | **多周期CPU设计与实现** | | | | | |
| 学院 | 计算机学院 | | 专业 | |  | 年级 |  |
| 任务描述：  根据教材内容，在理解MIPS指令集编码以及指令格式基础上，实现一个简化版的具有10条基本指令的多周期MIPS，利用Vivado在Xilinx N4板实现。  基本要求如下：  1、实现指令：add、sub、and、or、lw、sw、beq、bne、j、nop。  2、顶层视图为教材图4-24。  3、自拟涉及指令的应用程序（汇编程序最好具有一定意义），要求在N4板上运行。  4、应该具有一定的调试功能。  5、考虑增加其它指令如：lui、jr、jal、sll、srl、addi、andi、ori、xori等。 | | | | | | | |
| 设计要求：  课程设计报告要求至少应包含以下部分：  1、指令编码、指令格式、数据通路原理图  2、功能实现方案，主要关键部件如ALU、控制器、寄存器堆设计等  3、应用程序的详细设计，包括：程序流程图等  4、测试结果以及结论  5、每人写一段心得或建议等  6、参考文献 | | | | | | | |
| 参考资料： | | | | | | | |
| 任务下达日期 年 月 日 | | | | 完成日期 年 月 日 | | | |

重庆大学本科学生课程设计任务书

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 课程设计题目 | | MIPS SOC设计与性能优化 | | | | |
| 学院 | 计算机学院 | | 专业 | 计算机科学与技术（卓越） | 年级 | 2016 |
| 任务描述：   1. 课程设计内容    1. **必选内容**       1. 学生达到合格必做内容，将《组成原理》实验4实现的简易五级流水线CPU，由十条指令扩展为57条指令，并实现异常处理模块。   其中包括所有非浮点MIPS I指令(除去 LWL、LWR、SWL、SWR)以及MIPS 32中的ERET指令，有**14条算术运算指令、8条逻辑运算指令、6条移位指令、12条分支指令、4条数据移动指令、2条自陷指令、8条访存指令、3条特权指令，总计57条指令**。   * + 1. **加入Cache**，加快CPU访存速度。基本要求为4KB大小，块大小为1word，处理方式为写直达、直接映射的I-Cache与D-Cache   1. 扩展内容   学生根据自身基本情况，在下列任务中**选择一至多个**内容进行实现。   * + 1. **Cache完善。**在必选内容实现的Cache基础上，实现写回法Cache，支持更大的块大小，映射方式改为二路组相连。     2. **TLB设计。**参考课本TLB结构设计TLB模块，要求增加32 项 TLB 结构，支持的页大小为 4KB。除此之外，需完成TLB相关的指令和异常，要求实现TLBR、TLBWI、TLBP 指令，在CP0中增加Index、EntryHi、EntryLo0、EntryLo1 、PageMask寄存器。     3. **处理器性能优化。包含以下内容：**        1. **流水线断流问题优化。**流水线断流集中于分支指令与访存延迟问题上，由于流水线在部分指令发生相关时，数据前推无法满足需要，导致流水线暂停，形成的断流问题。分析通路图，**优化数据前推路径**，减少流水线暂停的概率，达到性能优化的作用。        2. **均衡各阶段组合逻辑延时。**各阶段组合逻辑部分完成功能复杂度有所不同，在译码、执行阶段的组合逻辑完成所需要的延时明显高于其他阶段，此时优化单一周期所需时间，尽可能使得功能复杂的阶段所实现的组合逻辑产生的延时降低，**优化单周期执行时间。**        3. **关键路径优化。**由于CPU内部组合逻辑与IO直接连接，使得IO访问成为关键路径。优化IO时延能够有效减少关键路径的总时长，达到时钟频率的优化。同时需要考虑对IPC的影响，达到均衡优化的效果。        4. **除法器设计。**课程设计给出试商法实现的除法运算器模块，执行完成需要36个周期。利用《计算机组成原理》课程教授的快速除法算法，实现快速除法模块，替代现有除法器模块，优化除法指令消耗周期数。  1. **撰写设计报告** 2. **现场指令集添加测试** | | | | | | |
| 设计要求：  课程设计报告要求至少应包含以下部分：   1. 不同类型指令实现方式：  * 描述控制器需增加的内容、数据通路增加的内容。 * 采取核心代码截图+描述  1. 选做内容选择实现的部分详解：  * 优化思路 * 优化核心代码截图 * 仿真前后对比，如时钟周期长短对比，CPU频率对比   3）通路图(选做，若对通路修改过大，已脱离原本通路的主要结构，如五级流水改为七级流水，需给出数据通路新结构图)  4）测试结果   * 仿真结果截图 * 上板结果拍照   5）结论   * 将必做部分完成后性能跑分与选做部分完成后进行对比分析，从周期、IPC、频率角度出发，得出优化成果   6）参考文献 | | | | | | |
| 参考资料： | | | | | | |
| 任务下达日期 年 月 日 | | | | 完成日期 年 月 日 | | |

说明：学院、专业、年级均填全称，如：计算机学院、计算机科学与技术、2010。

课程设计正文（具体格式见《重庆大学本科课程设计规范化要求》）

备注：

1. 学生：提交的课程设计报告电子文档命名为：“年级（两位数字不要“级”字）专业（缩写：计算机科学与技术专业（计科）、网络工程专业（网络）、信息安全专业（信息）、物联网工程（物联网））班级（两位数字）学号（八位数字）姓名．doc。如学号为20115676、年级为2011级、专业为“计算机科学与技术”专业、班级为“02班”、姓名为“王宇”的学生，完成的课程设计报告命名为： 11计科02班20115676王宇。

**MIPS SOC设计报告**

组员1姓名、组员2姓名

一、设计简介

简要描述所提交的设计是什么，能呈现何种功能，采用何种方式实现，实现的效果如何。设计上面有哪些特色之处，请予以简要说明。

（一）小组分工说明（必选）

本小节仅用于说明组内成员在硬件综合设计项目完成中的分工，可采用以下形式:

XXXX：负责逻辑运算、算术运算指令扩展。

XXXX：负责功能仿真、Cache设计

二、设计方案（30%）

（一）总体设计思路

阐明总体设计思路，即从系统顶层角度出发，概要性地描述整个系统的工作机制，所需要进行哪些设计、完成哪些功能。如果设计比较复杂，那么最好进行模块划分，把每个模块功能和接口的大致情况描述一下。

（二）XX模块设计（可选）

对模块内部设计方案进行更进一步描述。可以包含：模块的功能意图，模块的输入输出，模块内部的数据通路和控制逻辑，以及可能的软硬件交互机制。

（三）XX模块设计（可选）

……

三、实验过程（40%）

（一）设计工作日志

记录哪一天，几点到几点，谁做了什么事，结果如何。事情不要展开来写。

（二）主要的错误记录

具体描述实验过程中的错误，仿真阶段、上板阶段的都可以记录。

1、错误1

（1）错误现象

描述这个错误产生时的现象。

（2）分析定位过程

说清楚你碰到这个问题是如何分析定位出错原因的。可能你分析定位过程中经历了多轮尝试，把它们都记录下来。

（3）错误原因

给出一个出错原因的正式说明。

（4）修正效果

说明你修正这个错误的方法，并说明它是否有效。

（5）归纳总结（可选）

说说你觉得这个错误是哪种类型的，今后如何提前规避。

2、错误2

……

四、设计结果

请不要大篇幅地直接粘贴代码。

（一）设计交付物说明

说明所提交设计的目录层次，各目录下对应的内容是什么。提供所提交设计进行仿真、综合、上板演示的必要操作提示步骤。

（二）设计演示结果

以文字、图、表等形式展示设计的演示结果。

五、参考设计说明

如果在提交设计中使用了第三方IP或者借鉴了他人的部分源代码，请在此处逐一列举，并说明出处。所谓“借鉴”是指从模块划分、接口定义、数据通路结构、状态机、关键信号含义这些方面均与原设计存在较高的相似度。

六、总结（可选）

供同学们吐槽之用。

（一）组员：XXX

……

（二）组员：XXX

……

七、参考文献

列出设计报告中的参考或借鉴过的文献，具体如下：

参考文献一律用五号字，中文为宋体，英文为Times New Roman，行距16磅。

中文参考文献和英文参考文献中的标点符号均使用英文标点符。

参考文献应按文中引用出现的顺序连续编码，序号左顶格，并用数字加方括号表示，每一参考文献条目的最后均以“.”结束。

所有参考文献在正文中都必须被引用，同一处引用多篇文献时，将各篇文献的序号在方括号中全部列出，各序号间用“,”；如遇连续序号，可标起讫号“-”；同一文献在论著中被引用多次，只编1个号。如果文献的作用是对正文作解释，标注时文献序号连同方括号都要使用比正文字号小，并把它们放在右上方(作为上角标)；如果文献是作为句子的成分出现在正文之中，标注时文献序号连同方括号的字号要与正文的字号相同，并且把它们作为正文的一部分来书写(位置与正文平齐，不做为上角标)，另外要注意的是一定要方括号前面加上“文献”两个字。

A.连续出版物：

[序号] 主要责任者. 文献题名[J]. 刊名, 出版年份, 卷号(期号): 起止页码．

B.专著：

[序号] 主要责任者. 文献题名[M]. 出版地: 出版者, 出版年: 起止页码(可选项).

C.论文集：

[序号] 主要责任者. 文献题名[C]. 论文集名. 出版地: 出版者, 出版年: 起止页码.

D.学位论文：

[序号] 主要责任者. 文献题名[D]. 保存地: 保存单位, 年份.

E.报告：

[序号] 主要责任者. 文献题名[R]. 报告地: 报告会主办单位, 年份.

F.专利文献：

[序号] 专利所有者. 专利题名[P]. 专利国别: 专利号, 发布日期.

G.国际、国家标准：

[序号] 标准代号, 名称[S]. 出版地: 出版者, 出版年.

H.报纸文章：

[序号] 主要责任者. 文献题名[N]. 报纸名, 出版日期(版次).

I.电子文献：

[序号] 主要责任者. 电子文献题名[文献类型/文献载体]. 发表或更新日期(可选)[引用日期]. 获取和访问路径.

例如：

[8] Fonda, Marc. Examining the New Polytheism: A Critical Assessment of the Concepts of Self and Gender in Archetypal Psychology[EB/OL]. 1995[1997-12-20] University of Ottawa, http://www.clas.ufl.edu/users/gthursby/fonda/dispg.html.

[2] Online Computer Library Center, Inc. History of OCLC[EB/OL]. [2000-01-08]. http://www.oclc.org/about/history/default.htm.